

## 令和元年度 情報工学コース卒業研究報告要旨

石原 研究室	氏 名	服部 直樹
卒業研究題目	ニューラルネットワークの光実装に適した回路構造探索	
<p>近年、集積ナノフォトニクス技術の急速な進展に伴いオンチップレベルでの光通信技術の実現が可能になった。光信号を扱う光集積回路は CMOS 論理回路よりも高速に動作できると期待されている。光集積回路の多くの既存研究では通信技術に焦点を当てて研究が行われているが、ニューラルネットワークにおける演算処理を光集積回路によって実装する研究も進められている。光集積回路に基づくニューラルネットワーク回路ではベクトル行列積演算を光の信号伝搬のみで実行可能であるため、超低遅延ニューラルネットワークの実現が可能である。</p> <p>2017年以降、光ニューラルネットワークの多様なアーキテクチャが提案されている。それらの中で波長分割多重（以下 WDM）を用いて並列にベクトル行列積演算を行う光ニューラルネットワークアーキテクチャも提案されている。WDM とは、干渉し合わない複数の波長に分割した光を重畳し、同一の光導波路で並列に通信を行う技術である。WDM を演算器に適用することにより、高い演算並列性を活用できる。一方、今日の光集積技術では一つの光演算器に重畳できる最大波長数が 100 程度であるため、WDM による光の並列性を最大限に活用するためにはニューラルネットワーク内の並列度を 100 以下に制限することが重要である。また、光集積回路の遅延は光信号の経路長に依存するため、光の高速性を最大限に活用するためには、信号経路長および回路面積の低減が有効である。</p> <p>本研究は、WDM を用いる光集積回路の実装に適したニューラルネットワークの回路構造を探索することを目的とする。WDM を用いる光ニューラルネットワークは多層パーセプトロン（以下 MLP）をアナログ回路として実装するものである。光ニューラルネットワークの高速性と並列性を最大限に活用するためには、それに適した構造の MLP を探索する必要がある。WDM で使用する波長の数は MLP の中間層のノード数と同数であり、回路中で使用される素子数は MLP の演算数に比例する。また、光ニューラルネットワークはアナログ回路であるため、メモリに保存された重み行列の値を利用するには行列の要素数だけデジタルアナログ変換器（以下 DAC）が必要となる。重み行列の値を 1bit または 2bit へ量子化することで DAC を省略することができるため、回路の省面積化につながる。</p> <p>本研究ではまず初めに、ニューラルネットワークのベンチマークデータセットとして多くの研究で使用されている MNIST を用いて評価実験を行った。具体的には、量子化のビット数や、中間層のノード数及び層数を変更しつつ MLP の回路規模及び推論精度の評価をすることにより、光ニューラルネットワークの実装に適した MLP 構造の傾向を調査した。量子化を行わない場合は、ノード数及び層数が少ないほど推論精度が低下する傾向が確認された。また量子化を行った場合は、推論精度の低下が限定的であるがより顕著となった。</p> <p>次に、光ニューラルネットワークの使用が想定されるアプリケーションの一つである、ネットワークの侵入検知システム（以下 IDS）を用いて評価実験を行った。具体的には、IDS に対する光ニューラルネットワーク実装に適した MLP 構造の傾向を調査した。MNIST を用いた実験と同様の傾向が確認された。つまり、推論精度が重視される場合は光ニューラルネットワークをより大きな回路構造にし、そうでない場合はよりコンパクトな回路構造で十分であることが確認された。</p> <p>最後に、光集積回路の動作検証用に開発された市販の回路シミュレータである Optisystem 及び OptiSPICE を使用して、WDM を用いた光ニューラルネットワークを検証した。MLP における 1 層分の演算が光アナログ回路上で正しく行われていることを確認した。</p>		