

平成 26 年度 情報工学コース卒業研究報告要旨

枝廣 研究室	氏 名	杉 山 由 芳
卒業研究題目	ナノプロセッサクラスタの評価と改良	
<p>技術革新によってプロセッサの性能は向上してきた。しかし、同時にプロセッサの消費電力も増加し、大きな問題となっている。ポラックの法則によると、プロセッサの性能はダイサイズの平方根に比例する。消費電力とダイサイズには強い正の相関があるため、複雑なプロセッサほど消費電力は多い傾向にある。技術革新でマイクロアーキテクチャは大きく変化したが、命令セットアーキテクチャはソフトウェア資産継承のための互換性からそのままである。そのため、複雑なハードウェア機構や大容量のバッファによって、命令の順番を入れ替えて実行するアウトオブオーダー実行や複雑な命令を単純な命令に分解して並列処理を容易にするといった互換性維持可能な性能向上策がとられている。</p> <p>そこで、我々はマルチコアに最適化した命令セットアーキテクチャを提案し、低消費電力でも高性能なナノプロセッサクラスタの研究開発を行っている。単機能で高速に動作する複数タイプのナノプロセッサがクラスタを構成し、協調動作することで従来のプロセッサのように動作する。ナノプロセッサクラスタでは1つの命令フローが機能ごとの複数フローに分割され、各ナノプロセッサの命令キューに格納される。命令キューでは条件分岐やループといった制御構造を構築することができる。データ依存や名前依存によって発生しうるデータハザードはレジスタの有効フラグによって管理する。そのため、レジスタリネーミング機構のような大規模なハードウェアを必要としない。ナノプロセッサ間のデータ転送によるデータハザードはオーバランバッファによって緩和することができる。</p> <p>本研究ではナノプロセッサシミュレータを開発し、ナノプロセッサクラスタの性能をベンチマークソフトを用いて評価した。また、その結果から明らかになった問題を解析し、ナノプロセッサアーキテクチャの改善を図った。</p> <p>ベンチマークソフトはEEMBCのCoreMarkを使用した。比較対象のプロセッサはCortex-A15で、gem5を用いてパイプラインのシミュレーションを行った。現段階ではナノプロセッサISAのコードを生成できるコンパイラが開発段階であるため、ベンチマークソフトを手動でコンパイルする必要がある。そのため、ベンチマークソフトの中心となる処理に着目することで、全体をコンパイルせずに性能を比較することにした。まず、比較対象のCortex-A15を用いてベンチマークのホットスポットを解析した。その結果とCoreMarkの特徴から実行時間を多く占める3つの関数をコンパイルした。プログラムをナノプロセッサシミュレータとgem5で実行し、サイクル数とパイプラインの様子を取得した。また、パイプライン表示から性能ボトルネックを解析した。</p> <p>評価結果から、ナノプロセッサは一部でCortex-A15に匹敵する性能を示した。パイプラインの解析では、Cortex-A15では分岐ミスによるペナルティが大きく、ナノプロセッサは条件分岐によるストールが目立った。また、シミュレータの問題や不十分なコードの最適化のために、ナノプロセッサクラスタの性能が十分に発揮されなかったケースもあった。</p> <p>ナノプロセッサシミュレータで評価するにあたって、いくつか問題が生じた。コード生成、ナノプロセッサの同期、コードの最適化である。これらの問題を解析し、ナノプロセッサアーキテクチャの改善案を提案した。</p>		