

平成 25 年度 情報工学コース卒業研究報告要旨

枝廣 研究室	氏 名	溝口 裕哉
卒業研究題目	単方向 1:1 高速同期機構を用いた FPGA 実装と評価	
<p>近年，制御分野においてモデル予測制御などの新しい高度な制御理論が提案されている．しかし，モデルをリアルタイムに計算する方式などにおいて，現在の制御プロセッサでは計算能力が不足するため，大幅な性能向上が望まれている．この問題を解決するために組み制御の分野においてマルチ・メニーコアの使用が主流となりつつある．しかし，複数のコアで制御プログラムを動作させる場合，元々のプログラムを動かすだけでは並列処理の恩恵を受けることができない．並列動作させるためにはデータ依存性やモジュール性を考慮したプログラムの分割が必要である．さらに，分割したプログラムを実行するコア間において演算したデータや同期信号の送受信も必要である．こうした並列動作特有の処理は逐次動作では不要であるため並列化オーバーヘッドと呼ばれ，プログラム分割の粒度が細かいと非常に大きな問題となる．</p> <p>そこで，我々は単方向 1:1 高速同期機構とよぶ高速な通信メカニズムを提案し，問題の改善を図っている．単方向 1:1 に制限することで機構の高速化および簡素化が可能となる．そして提案機構を適用する際は制御モデルにおいてプログラムを単方向フローとなるようにタスク分割し，1つのコアにつき1つのタスクを静的に割り当てる．この静的割当により，スケジューリングオーバーヘッドの削減や固定の通信メモリへのアクセスが実現できる．また，複数コアが同一メモリにアクセスする場合，アクセスの調停によるオーバーヘッドも考えられるため，共有メモリにアクセスするコアは必要最小限とする．本論文では，提案機構向けに新たに考案したハードウェア支援手法と FPGA による評価結果を報告する．FPGA は柔軟なメモリの配置が可能であるため，提案機構を実装可能である．共有メモリに関しては全体で1つ配置するのではなく，全体で利用可能な領域とコア間通信の領域として分散配置する．この通信の領域については，事前にタスクの依存関係を手動で解析し，タスク間通信があるならばそれらのタスクを実行するコアの間に共有メモリを配置するという手順で FPGA 実装を行った．</p> <p>実験では，非対称型マルチコア (AMP) と対称型マルチコア (SMP) を用いた．AMP ではそれぞれのコアに異なる設定の OS を置けるため，SMP と比べ，アーキテクチャの自由度が高い．一方，SMP では複数のプロセッサを1つの OS で動作させることが可能となり，異なるコア間で行う通信 API も使用できる．この2つのマルチコア環境において同一制御モデルを用いて実行時間とタスク間の通信時間の評価を行った．まず，通信時の調停機構の動作に対するメモリ配置の影響，特にメモリアクセス時の競合による性能低下を調べるために，通信で使用するメモリを一箇所に集中させた場合との比較実験を行った．さらに SMP を用いた実験において，従来手法の一つである並列化ツールが出力する OSAPI を用いた通信関数との比較実験も行った．</p> <p>AMP を用いた実験の結果では，通信用領域のメモリを分散させる方式が集中させる方式に比べ約 1.24 倍高速であった．また，SMP を用いた実験では，提案手法は OSAPI と比較して通信に必要な時間が約 12 分の 1 に短縮された．これらの結果より，2種類のマルチコアにおいて，提案手法のようにアクセス競合を考慮したメモリ配置方式の方が高速に通信できていることが分かった．</p> <p>以上にまとめた FPGA による実機評価結果から，我々が提案している単方向 1:1 高速同期機構はメニーコアの1つの有用な通信手法であると結論付けられる．</p>		