

## 平成 21 年度 情報工学コース卒業研究報告要旨

高木 研究室	氏 名	鳥 居 洸 佑
卒業研究題目	順序回路の形式的検証における Sequential SAT の m-Trie を用いた高速化	
<p>近年、集積回路技術の進歩により設計される回路がますます大規模になってきている。回路の大規模化に伴い設計誤りを起こす可能性もまた増大するため、設計された論理回路が意図したとおりに動作することを保証する検証技術の重要性が増大している。</p> <p>設計された論理回路が誤りを含まないことを数学的に保証する技術として、形式的検証の研究がなされている。設計された順序回路に対して、その順序回路が満たすべき性質 (プロパティ) を与え、性質を満たしているかどうかを判定する検査のことをプロパティ検査という。プロパティ検査には、到達可能な全ての状態を検査する非限定モデル検査と、有限サイクル分のみを対象とする限定モデル検査がある。前者は後者より網羅的であるが扱える回路の規模が限られている。</p> <p>Sequential SAT は限定モデル検査とも用いることにより非限定モデル検査を可能にする形式的検証技術である。Sequential SAT 問題とは順序回路と目的が与えられたとき、その回路において目的を満たすような入力系列が存在するかどうかを判定する問題である。あるプロパティを満たさないことを目的とすることによって初期状態からプロパティに違反する状態への到達可能性解析を無限サイクルについて検証することができる。</p> <p>本研究では順序回路の Sequential SAT 問題を解くアルゴリズムを高速化する手法を提案する。これまでに Sequential SAT を高速化する手法として、積和形論理式で表された状態集合を二段論理最小化することにより、時間フレームを跨いで状態併合を行う手法が提案されている。この手法においては二段論理最小化後のキューブが最小化前のどのキューブを併合したものであるかを表す relation matrix (最小化前のキューブ数 <math>\times</math> 最小化後のキューブ数) を導出している。この手法では二段論理最小化には ESPRESSO-MV を、relation matrix の導出には BDD を用いていたが、これらの処理に要する時間が大きかった。本研究ではこれら全てを m-Trie で行うことで全体の実行時間を短縮する手法を提案する。</p> <p>m-Trie は拡張三分木で、キューブ毎に根から葉へのパスを構成していくことで二段論理最小化を行うことができるものである。状態併合はオン集合に加え、ドントケア (DC) を使用することでより大きな併合を行うことができるため、提案手法では m-Trie 上の各葉に根からその葉へのパスが DC かどうかを表すラベルを新たに導入する。また、m-Trie における最小化前のパスに対応するキューブを被覆する最小化後のキューブを一つ求めるアルゴリズムを、被覆する最小化後のキューブ全てを求めるように変更する。求めたキューブに対応するパスの各葉ノードにおいて、どのキューブを被覆しているかを保持する拡張により、relation matrix を m-Trie 上で導出する。m-Trie を用いることにより Sequential SAT 問題を解く時間を短縮できる場合があることが実験結果から確認できた。</p> <p>発表実績</p> <ul style="list-style-type: none"> <li>● 鳥居洸佑, 中村一博, 高木一義, 高木直史, “Sequential SAT の高速化のための m-Trie を用いた時間フレームを跨いだ状態併合”, 電子情報通信学会 総合大会, 2010 年 3 月 (発表予定)</li> </ul>		