

## 平成 21 年度 情報工学コース卒業研究報告要旨

高木研究室 研究室	氏 名	森 雅 紀
卒業研究題目	単一量子回路のためのレイアウトを考慮したクロック木の構成法の評価	
<p>近年、発熱の集中などにより、半導体回路の性能向上が困難になりつつある。この問題の解決策の一つとして、半導体と異なる情報デバイスを開発することが挙げられる。単一磁束量子 (SFQ) 回路はジョセフソン接合とインダクタンスを素子に用いた回路であり、半導体回路より高速かつ低消費電力な動作が可能である。</p> <p>SFQ 回路は半導体とは異なり、ジョセフソン接合がスイッチする際に発生する電圧パルスの有無で値を表現する、パルス論理の回路である。SFQ 回路で主に用いられるクロック同期式では、各論理ゲートにクロックパルスを供給し、2つのクロックパルス間にデータパルスが到着したか否かで論理値を表現する。つまりクロック同期式の SFQ 回路では全ての論理ゲートにクロックを入力して動作させなければならない。</p> <p>回路中の全てのクロックゲートに同時にクロックを入力する場合、クロック周期をクロックゲート間の最大遅延以下にはできず、SFQ 回路の高速性を活かせない。クロックの供給タイミングにずれ (スキュー) を持たせることで最大遅延に依らない高速動作が可能になるが、そのためにはクロックパルスとデータパルスの相対的な時間関係 (タイミング制約) を維持しなければならない。</p> <p>SFQ 回路の設計手法としては、セルと呼ばれる基本的な機能を有するブロックを組み合わせることで回路全体を構築する、セルベース設計がある。現状では SFQ 回路の設計支援技術は十分には確立されていない。そのため設計者が論理ゲートや配線などのセルを人手で1つずつ配置していく方法などが用いられている。その際にタイミング制約や配線遅延などを考慮しなければならないため、大規模回路の設計は困難である。</p> <p>これまでに、回路が期待するクロック周期で動作するように、スキューを持たせたクロックを分配するクロック木を構成する手法が提案されている。また、この手法ではクロック木に加えて、データパスへの遅延素子の挿入とセルの概略配置を決定する。この手法により、現実的な計算時間で、タイミング調整のための素子数が少ない回路を得ることができると考えられる。しかしこの手法でのタイミング計算は概略配置に基づいており、実際のレイアウトに基づく評価が行われていないため、得られた回路の詳細な性能は明らかではなかった。</p> <p>本報告では、この手法で得られる回路から目標クロック周期で動作するレイアウトが得られるかどうかをシミュレーションによって評価する。まず、提案されている手法に対し最新のテクノロジーに基づくパラメータを与え、サンプル回路からタイミング調整された回路を得る。これに対し詳細配置・配線を行い、配線遅延を含めたデジタルシミュレーションにより、タイミング制約を満たす回路ができるかどうかを確認した。</p> <p>その結果、この構成法で得られたクロッキングを含む回路からレイアウトを得る際の知見が得られた。目標クロック周期を 40ps としたサンプル回路から、正しく動作する回路レイアウトが得られることを確認できた。その際、タイミング余裕の適切な設定が重要であることが判明した。</p>		