

平成 18 年度 情報工学コース卒業研究報告要旨

高木 研究室	氏 名	成 瀬 智 啓
卒業研究題目	論理回路の形式的検証の高速化のための回路分割による CNF 式生成手法	
<p>近年、集積回路技術の発展により、ますます大規模な論理回路の設計が可能となっている。設計する回路が大きくなるほど設計誤りを犯す危険性が高まる。そのため、設計された論理回路に誤りが無いことを完全に保証する形式的検証の研究が盛んに行われている。</p> <p>論理回路の形式的検証で扱う問題は、組合せ回路の等価性判定や順序回路のモデル検査、限定モデル検査、到達可能性解析、sequential depth 計算など多岐にわたる。それら多くの問題に対して、充足可能性判定 (Satisfiability; SAT) を用いた形式的検証手法が提案されている。それらの手法では、SAT を解くツールである SAT-solver が用いられる。</p> <p>SAT-solver は、与えられた論理式が真となるような変数割り当てが存在するかどうかを判定する。SAT-solver に与える論理式は、通常、和積標準形 (Conjunctive Normal Form; CNF) 論理式である。そのため、SAT-solver を用いた種々の形式的検証手法では、論理回路を CNF 式に変換する処理が行われている。</p> <p>一般に、論理回路の CNF 式表現は一意でなく、また、SAT に要する時間は SAT-solver に与える CNF 式により左右される。したがって、SAT-solver が解きやすい CNF 式を生成することが、SAT を用いた種々の形式的検証を高速化する上で、重要である。</p> <p>本研究では、SAT-solver への負担を軽減することを目的とした、回路分割による CNF 式生成手法を提案する。同様の目的で最適化された CNF 式の生成を行う手法として、マイクロプロセッサの検証において、回路記述から ITE (If Then Else) 演算を数多く含む Bool 式を生成し、その式を CNF 式に変換する手法が提案されている。この手法では、連続する ITE 演算から生成される CNF 式がコンパクトで SAT-solver への負担が小さいことに着目し、ITE が多くなるような最適化を行っている。</p> <p>本研究では、二分決定グラフ (Binary Decision Diagram; BDD) の各ノードが ITE に対応することに着目し、マイクロプロセッサに限らず一般の論理回路においても、SAT-solver への負担を軽減するような CNF 式を生成する。提案手法は、まず論理回路を分割し、次に分割した個々の部分回路を BDD に変換し、最後に BDD から CNF 式を生成する。</p> <p>論理回路を分割する際には、論理ゲートのうち、出力が他の複数のゲートの入力となる論理ゲートを分割のポイントとする。これは、回路構造の効率的な利用のためであり、また、部分回路を BDD に変換する際の BDD のサイズを抑えるためでもある。</p> <p>部分回路毎に CNF 式を生成する際には、BDD の根から葉への全てのパスに対して CNF 式を生成する。これにより、従来の、最適化を行わない、ゲート毎に CNF 式を作成する方法とはまったく異なる CNF 式が生成できる。CNF 式中の変数の数をはじめとする様々な要素の変化により SAT-solver への負担を減らすことが期待できる。</p> <p>提案アルゴリズムを実装し、アルゴリズム適用前の CNF 式、適用後の CNF 式をそれぞれ SAT-solver に与え、SAT-solver の実行時間を比較した。CNF 式には、ISCAS85 ベンチマーク回路の等価性判定の CNF 式を使用した。その結果、いくつかの式において、従来のゲート毎に CNF 式を作成する方法と比べて、SAT-solver の実行時間の短縮が確認できた。</p> <p>提案手法は、CNF 式を入力とする SAT-solver を用いた、すべての論理回路の形式的検証において用いることができる。</p>		