

平成 17 年度 情報工学コース卒業研究報告要旨

高田・富山 研究室	氏 名	図 子 純 平
卒業研究題目	ウェイ予測を用いた低リーク電力キャッシュの提案と評価	
<p>携帯機器などのバッテリー駆動型の電子機器では、組込まれているプロセッサの消費電力の削減が重要である。近年、組込み用途のプロセッサにも性能向上のために大容量のキャッシュメモリが搭載されるようになり、キャッシュの消費電力がプロセッサの消費電力の大きな割合を占めるようになってきている。このため、プロセッサの消費電力を削減するためには、キャッシュの消費電力の削減は不可欠である。キャッシュにより消費される電力は動的なものと静的なものの 2 種類に分類される。動的な電力はキャッシュの動作時に、トランジスタのスイッチングによって消費される電力である。一方で静的な電力はキャッシュの動作に無関係で、本来なら電流が流れることのないトランジスタのオフ時にも電流がわずかに流れることにより発生する。このような静的な電力をリーク電力と呼ぶ。回路の微細化によりトランジスタのゲート酸化膜の絶縁性が弱まり、リーク電力は年々増加する傾向にある。近い将来、リーク電力はプロセッサなどの半導体集積回路の消費電力全体の 30 ~ 40 % を占めるようになると予測されている。</p> <p>本研究では、キャッシュの性能低下を最小限に抑えつつ、リーク電力を最小化することを目的として「ウェイ予測 Drowsy キャッシュ」を提案する。ウェイ予測 Drowsy キャッシュは、Drowsy キャッシュと呼ばれる低リーク電力キャッシュをさらに改良したものである。Drowsy キャッシュは、一定サイクルごとに全てのキャッシュラインを低リークモードへ切り替えることにより、リーク電力を削減する。しかし、低リークモードのキャッシュラインが参照された場合には、再び通常モードへ遷移させるため、その分の性能の低下と電力のオーバーヘッドが生じる。本論文で提案するウェイ予測 Drowsy キャッシュは、すべてのキャッシュラインを低リークモードに切り替えるのではなく、近い将来使用されると思われるキャッシュラインを予測し、それ以外のキャッシュラインを低リークモードに切り替える。この予測機構により性能の低下と電力のオーバーヘッドを抑制する。本研究ではメモリ参照の時間的局所性を利用して、最後にアクセスされたウェイが再びアクセスされると予測する MRU (Most Recently Used) アルゴリズムをウェイ予測に用い、3 種類の予測機構を提案する。予測機構として、(1) 各キャッシュセットの MRU ウェイだけを通常モードに残してその他のウェイを Drowsy モードに切り替える方法、(2) 一定期間内にアクセスがあった MRU ウェイを残してその他を切り替える方法、(3) MRU ウェイと一定期間内にアクセスがあったウェイを残してその他を切り替える方法の 3 種類を提案、評価する。</p> <p>実験により、消費エネルギーと性能低下率について、従来の Drowsy キャッシュと 3 種類のウェイ予測 Drowsy キャッシュの比較を行った。その際、キャッシュの容量ならびにウェイ数、および、低リークモードに切り替えるサイクル数などを変化させた。実験の結果、ウェイ予測 Drowsy キャッシュが、従来の Drowsy キャッシュと比較して、性能低下率を大幅に改善することを確認した。一方、消費エネルギーの削減効果については両者で大きな差は見られなかった。この原因は、ウェイ予測 Drowsy キャッシュは、電力モードの切り替えに要する電力を削減するものの、リーク電力を増加させてしまうためである。3 種類のウェイ予測 Drowsy キャッシュを比較した場合、リークの削減率は (1) の手法、性能低下の削減は (3) の手法でもっとも改善されていた。本研究で提案、評価したリーク電力削減キャッシュをプロセッサに実装するにあたっては、プロセッサに要求される性能と電力的な制約に対し最適な手法を選択することが重要である。</p>		