

平成16年度 情報工学コース卒業研究報告要旨

高木 研究室	氏 名	柴 岡 雅 之
卒業研究題目	Karatsuba アルゴリズムに基づく小面積並列乗算器	
<p>乗算はデジタルシステムにおいて頻出する基本演算の1つであり、乗算器の小面積化や高速化のために様々な研究がなされてきた。スタンダード・セル方式のVLSIにおいては、配線層数の増加により配線の複雑化による面積の増加量が小さくなり、素子の総面積が回路面積に直接反映されるようになってきた。よって素子数が少なければ配線が複雑であっても小面積の並列乗算器が実現可能である。本報告では、配線は複雑であるが素子数の少ない、Karatsuba アルゴリズムに基づく乗算器を設計する。</p> <p>Karatsuba アルゴリズムは、N ビット整数を上位 $N/2$ ビットと下位 $N/2$ ビットの2つに分け、上位同士、下位同士、上位と下位との和同士による、約 $N/2$ ビットの乗算を行い、これらの結果を適切にシフトし、加減算を行うことによって、N ビットの乗算を行う。一般的な並列乗算器では約 N^2 個の全加算器が必要となるが、Karatsuba アルゴリズムでは、約 $N/2$ ビットの乗算3回のためにおよそ $\frac{3}{4}N^2$ 個の全加算器を用いることで乗算器を構成でき、素子数が少なくなる。</p> <p>上位と下位との和同士を掛け合わせる際、各ビットごとに遅延の異なる信号が加算器から出力され、乗算器の入力となる。本報告で設計する Karatsuba 乗算器においては、この乗算器を構成するため、内部で用いられる各全加算器に対し、入力される信号の遅延を考慮して全加算器同士を接続する。また桁上げの伝播する加算器の利用を極力控えるため、この乗算器の出力を利用する加算器を単に乗算器と縦続に接続するのではなく、乗算器の部分積を加算する回路の中に加算器を組み込むことで、効率のよい加算を実現する。上位同士、下位同士の乗算は、小面積な Karatsuba 乗算器を実現するためには配列型乗算器を用いて行い、面積を犠牲にして高速化を求めるのであれば Dadda 乗算器を用いて行う。同様に、上位と下位の和を求める加算器及び Karatsuba 乗算器最終段の加算器として、順次桁上げ加算器を用いることで小面積な Karatsuba 乗算器が得られ、桁上げ先見加算器などを用いることで高速な Karatsuba 乗算器が得られる。これらの遅延と面積のトレードオフを考え、適切な組み合わせを選択することにより、要求される性能に応じた Karatsuba 乗算器を構成できる。</p> <p>上記の様々な組み合わせによって構成した Karatsuba 乗算器を Verilog HDL を用いて設計し、東大版 VDEC ROHM0.35μm のライブラリを用いて論理合成を行った。配列型乗算器などと遅延、面積の比較を行った結果、32×32 ビット符号なし乗算器では、配列型乗算器を含めた他の乗算器に対し 87.3% 以下の面積となり、このとき配列型乗算器の 94.0% の遅延となった。面積が小さいとされる配列型乗算器、遅延が小さいとされる Dadda 乗算器、及び Karatsuba 乗算器に対して遅延と面積のトレードオフ曲線を描くと、Karatsuba 乗算器は最高速の領域を除き面積で勝っており、優れた遅延-面積トレードオフ曲線を得ることができた。</p> <p>発表実績</p> <ul style="list-style-type: none">柴岡 雅之, 高木 直史, 高木 一義: “Karatsuba アルゴリズムに基づく小面積並列乗算器”, 電子情報通信学会 総合大会, 2005年3月 発表予定		