

平成14年度 情報工学専攻修士論文要旨

高木 研究室	氏 名	熊澤 文雄
論 文 題 目	浮動小数点 3D ユークリッドノルム及びその逆数の計算回路	
<p>近年，マイクロプロセッサやグラフィックスエンジンなどで，高い算術演算性能が求められている．高い算術演算性能を実現するためには，加算や乗算，除算などの基本算術演算の組合せで実現されている，出現頻度の高い複合算術演算のための専用回路を構成することが有効であると考えられる．本研究では，コンピュータグラフィックスなどで頻繁に現れる，三次元ベクトルのユークリッドノルム計算（3D ユークリッドノルム計算）及びその逆数の計算の専用回路の実現を目指す．</p> <p>3D ユークリッドノルム計算に関しては，これまでに本研究室において，VLSI での実現に向けたハードウェアアルゴリズムを提案し，このアルゴリズムに基づく，IEEE754 標準の基本フォーマットで表される浮動小数点数を入出力とする回路の設計および評価を行ってきた．問題点として，浮動小数点数を入出力とする際，仮数部の計算の前に，演算数の仮数部の桁合せ処理が必要となり，この処理に多くのハードウェア量を要することなどが挙げられていた．本研究では，桁合せ処理を仮数部計算と統合することにより，回路全体のハードウェア量を削減する手法を提案する．この手法を用いた回路を設計し，評価を行った結果，提案した手法により回路全体の面積を約 20%削減することができた．また，アルゴリズムの改良も行い，サイクル数を減らすことができた．平方算 3 回，加算 2 回，開平方 1 回に相当する 3D ユークリッドノルム計算を行う回路が，開平方に比べ，約 1.5 倍の遅延，約 2 倍の面積，約 2 倍の計算時間で実現できることが明らかになった．</p> <p>3D ユークリッドノルムの逆数の計算に関しては，上述の改良アルゴリズムを基に，この計算のためのハードウェアアルゴリズムを提案する．このアルゴリズムでは，3D ユークリッドノルム計算の中間結果を on-line 除算の除数として逆数の計算を行うことにより，サイクル数を減らしている．また，アルゴリズムの初期値の設定が簡単になるように工夫している．このアルゴリズムに基づく回路は，入出力が単精度基本フォーマットの場合，基数 2 の回路では 34 サイクル，基数 4 の回路では 21 サイクルで 3D ユークリッドノルムの逆数を計算することができる．</p> <p>これらの回路の導入により，3D ユークリッドノルム計算及びその逆数の計算の高速化とともに，加算器や乗算器などの基本算術演算回路をこれらの演算から解放することができるため，プロセッサの演算性能を向上させることができるものと考えられる．</p>		